

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-210085

(43)Date of publication of application : 20.08.1993

(51)Int.Cl. G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 04-040271

(71)Applicant : CANON INC

(22)Date of filing : 30.01.1992

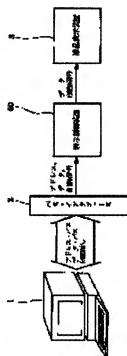
(72)Inventor : YUKI OSAMU

(54) DISPLAY CONTROLLER

(57)Abstract:

PURPOSE: To provide the display controller which can make flickerless display with high fineness without changing the constitution of the electrodes, etc., of a liquid crystal display device even if the display speed in the high-fineness display of the display device is not sufficient for the flickerless display in no- interlace plotting.

CONSTITUTION: The display controller 50 has a VRAM and a partial rewriting display control section. If a WS (host computer) 1 partially rewrites, with the no-interlace, the image data stored in the VRAM for the events to be plotted at a high speed in order to prevent the fluctuation in the display in the moving picture display, the partial rewriting display control section adds the data indicating the display position of the rewritten part to the image data of the part rewritten by the WS 1 and a synchronizing signal and supplies the data and the signal to the liquid crystal display device 3 in the timing synchronized with the display to a CRT.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-210085

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 0 5	7820-2K		
G 0 9 G 3/20	Z	8621-5G		
3/36		7319-5G		

審査請求 未請求 請求項の数2(全15頁)

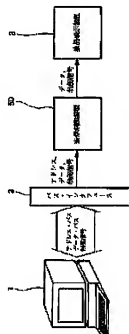
(21)出願番号 特願平4-40271	(71)出願人 00001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日 平成4年(1992)1月30日	(72)発明者 結城 修 東京都大田区下丸子3丁目30番2号 キャ ノン株式会社内
	(74)代理人 弁理士 渡部 敏彦

(54)【発明の名称】 表示制御装置

(57)【要約】

【目的】 液晶表示装置の高精細表示での表示速度が、ノーインターレース描画においてフリッカレス表示に十分でない場合であっても、表示装置の電圧等の構成を変えことなく、高精細でフリッカレス表示を行い得る表示制御装置を提供する。

【構成】 本表示制御装置50は、VRAM、部分書き替え表示制御部を具備する。WS（ホスト・コンピュータ）1が、動画表示における表示のばらけを防ぐため、高速で描画される画像に対し、VRAMに記憶した画像データのうち、部分的にノーインターレースで書き替えると、部分書き替え表示制御部は、WS1が書き替えた部分の画像データ及び同期信号に、その書き替えた部分の表示位置を示すデータを付加し、CRTへの表示と同期したタイミングで液晶表示装置3に供給する。



(2)

特開平5-210085

1

2

【特許請求の範囲】

【請求項1】 ホスト・コンピュータから出力された画像データをビデオ・メモリに記憶すると共に、その画像データをラスター走査方式で液晶表示装置に表示する表示制御装置において、前記ビデオ・メモリに記憶した画像データのうち、前記ホスト・コンピュータがノーインターレースで書き替えた部分の画像データ及び同期信号に、その書き替えた部分の表示位置を示すデータを付加し、冷陰極管表示装置への表示と同期したタイミングで前記液晶表示装置に供給する部分書き替え表示制御部を有することを特徴とする表示制御装置。

【請求項2】 前記表示位置を示すデータ、画像データ及び同期信号が冷陰極管表示装置の有効表示領域の幅面期間及び垂直ブランク期間中に前記液晶表示装置に供給可能である請求項1記載の表示制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置用の表示制御装置に関する。

【0002】

【従来の技術】 従来からパーソナル・コンピュータ（以下「PC」と省略する。）やワーク・ステーション（以下「WS」と省略する。）に適用される表示装置としては、冷陰極管表示装置（以下「CRT」と省略する。）が一般に用いられてきた。また、人間工学に基づき視覚による理解を向上させるためウィンド機能等のグラフィック機能の拡充を図り、その実現に高解像度、大画面が必要とされてきている。

【0003】 一方、その構成からくる軽量、薄型の優位性によりTN（Twisted Nematic）、STN（Super Twisted Nematic）構造等の液晶表示装置が、近年、ラップトップ型PC等に用いられるようになってきている。また、このTN及びSTN構造等の液晶表示装置は、高解像度にするために走査線数を増加した場合に、表示コントラストのマージンを確保するために急峻な電気光学特性を有する液晶材料が必要となる。その液晶表示装置の液晶材料としては、双安定性を有する強誘電性液晶が知られている。

【0004】 また、現在知られている強誘電性液晶は、その温度特性により動作温度が低い場合に、高精細表示で十分な表示速度を持たないためにフリッカを生ずるが、そのフリッカを防ぐため、高次のインターレース（以下「マルチ・インターレース」という。）で描画を行う方法が知られている。

【0005】 また、このマルチ・インターレース描画は、動画表示する場合に、ポインティング・デバイス、ポップ・アップ・メニュー及びスクロール等の表示の際に、ばらけが越り表示品位を損なうため、その表示のばらけを防ぐため、高速で描画される事象に対し、画面

れている。

【0006】 しかしながら、この部分書き替えの手法は、液晶表示装置専用のハードウェア及びソフトウェアを用いて実現するものであった。このため、従来、液晶表示装置用の表示制御装置は、ホスト・コンピュータのマザー・ボード上又は拡張スロットに装着され、ホスト・コンピュータの中央演算装置（以下「CPU」と省略する。）のアドレス・バス、データ・バス及び制御信号ラインに直結され、液晶表示装置専用の独自のソフトウェア・ドライバを必要としていた。

【0007】

【発明が解決しようとする課題】 上述したように、従来の液晶表示装置用の表示制御装置は、独自のソフトウェア・ドライバを要するという問題があった。

【0008】 そこで本発明は、上記事情に鑑みてなされたものであり、液晶表示装置の高精細表示での表示速度が、ノーインターレース描画においてフリッカレス表示に十分でない場合であっても、表示装置の電圧等の構成を変えことなく、高精細でフリッカレス表示を行い得る表示制御装置を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するために請求項1記載の発明は、ホスト・コンピュータから出力された画像データをビデオ・メモリに記憶すると共に、その画像データをラスター走査方式で液晶表示装置に表示する表示制御装置において、前記ビデオ・メモリに記憶した画像データのうち、前記ホスト・コンピュータがノーインターレースで書き替えた部分の画像データ及び同期信号に、その書き替えた部分の表示位置を示すデータを付加し、冷陰極管表示装置への表示と同期したタイミングで前記液晶表示装置に供給する部分書き替え表示制御部を有することを特徴とするものである。

【0010】 また、請求項2記載の発明は、請求項1記載の発明において、前記表示位置を示すデータ、画像データ及び同期信号が冷陰極管表示装置の有効表示領域の幅面期間及び垂直ブランク期間中に前記液晶表示装置に供給可能なものである。

【0011】

【作用】 請求項1記載の発明によれば、ホスト・コンピュータが、動画表示における表示のばらけを防ぐため、高速で描画される事象に對してビデオ・メモリに記憶した画像データを部分的にノーインターレースで書き替えるとき、部分書き替え表示制御部は、ホスト・コンピュータが書き替えた部分の画像データ及び同期信号に、その書き替えた部分の表示位置を示すデータを付加し、冷陰極管表示装置への表示と同期したタイミングで液晶表示装置に供給する。これにより、液晶表示装置の高精細表示での表示速度が、ノーインターレース描画においてフリッカレス表示に十分でない場合であっても、表示装置の

(3)

特開平5-210085

3

4

表示を行い得る。

【0012】請求項2記載の発明によれば、書き替えた部分の表示位置を示すデータ、画像データ及び同期信号を除却後表示装置の有効表示領域の描画期間及び垂直ブランク期間中に液晶表示装置に供給し得るので、液晶表示装置において円滑な描画を行うことが可能となる。

【0013】

【実施例】以下、本発明の実施例を図面を参照して詳述する。

【0014】図1は本発明の一実施例の表示制御装置50の適用例を示す表示システムの一構成図である。同図に示す表示システムは、ホスト・コンピュータとしてのワークステーション（以下「WS」と省略する。）1にバス・インターフェース2を介して表示制御装置50が接続され、この表示制御装置50に液晶表示装置3が接続されている。

【0015】前記WS1は、拡張スロットを備え、WS

1内のCPU（中央処理装置）からアドレス情報、画像データ及び制御信号をバス・インターフェース2に供給するものである。

【0016】前記バス・インターフェース2は、WS1と後述する表示制御装置50内のCRTC（GSP）58とのインターフェースとして従来から用いられているデコーダ及びデータ・トランシーバ等から構成されている。

【0017】図4は前記液晶表示装置3の構成図である。また、同図中（E）は、後述する図2中の（E）に接続されることを示している。同図中の各記号は、表1に示すように、表示制御装置50と液晶表示装置3の駆動コントローラ90（後述）とを接続する信号線の名称を示すものであり、その機能は同表に示す通りである。

（以下空白）

【0018】

【表1】

(4)

特開平5-210085

5

6

記号	名称	機能
PGOOD	パワー・オン	+5Vライン
PCLK	画像データ転送クロック	画像データ転送クロック (モードにより変化)
PESYNC	水平同期信号	スキャー後の水平同期信号
PVSNC	垂直同期信号	スキャー後の垂直同期信号
FDISP	コンポジット・ブランク	スキャー後のコンポジット・ブランク信号
SIN	受信データ	通信データ受信
SOUT	送信データ	通信データ送信
BUSY	列都水平同期信号間隔	部分書き替え時間同期信号
AH/DL	アドレス/データ識別	部分書き替え時アドレスとデータの識別
PH/RL	リフレッシュ/部分書き替え	リフレッシュと部分書き替えのステータス
CREP	強制リフレッシュ信号	負論理のFLC強制リフレッシュ信号
FINI	コントローラの割り込み信号	コントローラ側からのアクノレジ信号
GINT	グラフィックの割り込み信号	グラフィック基板側からの割り込み信号
PD0-15	アドレス/データ線	① リフレッシュ時→16ビット・データ
		② 部分書き替え時→16ビット・データ
		AH/DL (H1) →アドレス
		AH/DL (LOW) →データ
CBOD	強制リセット信号	負論理の強制リセット信号
GRST	グラフィック・リセット	グラフィック・アダプタのリセット
FRST	コントローラ・リセット	ディスプレイ・コントローラのリセット
GND	グランド	コモン・グランド

図4に示す液晶表示装置3は、駆動コントローラ90、温度センサ113、コモン・ドライバ110、セグメント・ドライバ111、112、電極コントローラ100及び表示器130を具備している。

【0019】駆動コントローラ90は、1024×5120ドットに対応できるように構成されており、140、コモン・ドライバ110及びセグメント・ドライバ111、112の駆動を行うものである。また、駆動コントローラ90は、温度センサ113からの温度情報によりCRTと同一タイミングで供給されるデジタル画像データをマルチ・インターレースの描画のために間引いた後、コモン・ドライバ110及びセグメント・ドライバ

【0020】温度センサ113は、表示器130の適切な位置に設けられ、強誘電性液晶の駆動では非常に重要である温度情報を駆動コントローラ90へ供給するものである。

【0021】表示器130は、双安定性を有する強誘電性液晶からなり、2枚の走査線取り出し電極に接続されたITO等の透明電極を設けたガラス板の間に致安定状態を有する強誘電性の液晶を封入し、偏光板をクロスニコルに配置してある。図素は、走査線電極1024本及び情報線電極2560本の1024×2560ドットで構成されている。また、表示器130の図素は、コモン・ドライバ110及びセグメント・ドライバ111、1

(5)

特開平5-210085

7

れ、「明」状態又は「暗」状態で表示されるようになってい

【0022】電源コントローラ100は、駆動コントローラ90より設定される信号に基づき、入力電源を適切に整流してコンモン・ドライバ110及びセグメント・ドライバ111、112に供給するものである。

【0023】セグメント・ドライバ111、112及びコンモン・ドライバ110は、電源コントローラ100から供給された電圧を表示器130の電極へ印加するものである。

【0024】前記表示制御装置50は、1024×5120ドットに対応できるように構成され、液晶表示装置3の表示器130へマルチ・インターレースで描画する際に、同期信号、クロック信号、表示書き、イネーブル信号及び画像データを液晶表示装置3の駆動コントローラ90へ供給し、一方、部分書き替えの際は、駆動コントローラ90から表示器130の書き込み速度以下で水平同期信号に同期したCRT1Hの整数倍の外部同期信号が供給され、走査線アドレス及び画像データを駆動コントローラ90へ供給するものである。

【0025】更にこの表示制御装置50の構成を図2及び図3を参照して説明する。図2及び図3は表示制御装置50の構成図である。図2及び図3中の符号(A)、(B)、(C)、(D)は、互いにその位置で接続されることを示している。図2及び図3に示す表示制御装置50は、CRT表示制御を行うCRT表示制御部40と、部分書き替え表示制御を行う部分書き替え表示制御部60とを具備している。

【0026】前記CRT表示制御部40は、当該表示装置50の各部を図9に示す制御手順に従って制御するMPU57（処理部）と、シリアル・レジスタを具備しWS1からバス・インターフェース2を介して出力された画像データを記憶するビデオ・メモリとしてのVRAM51と、CBLNK信号、HBLNK信号、HSYNC信号、VSYNC信号を出力するCRTC58と、シリアルデータをビクセルデータに変換するS/P変換回路61と、トライ・スタート62と、2分周回路84と、シリアル・クロック発生器77と、MPU57が実行する図9に示す制御手順を記憶するメモリROM70とを具備している。

【0027】前記部分書き替え表示制御部60は、部分書き替え回路52と、SRAM54の第2のレジスタ54bに記憶する動作が終了したかをチェックするアクセス・アドレス検出回路53と、所定期間内WS1からVRAM51へ更新のあった走査アドレスを検出すると共に（図8参照）、第1のレジスタ54a及び第2のレジスタ54bを備え走査アドレス情報を記憶するSRAM54と、所定期間内SRAM54の第2のレジスタ54bから読み込んだ走査アドレス情報からブロック・ナン

8

ラメータ算出回路55と、第1のスタック56a及び第2のスタック56bを備えブロック・ナンバ、スタート・アドレス等のアドレス情報を記憶するアドレス情報メモリとしてのFIFOメモリ56と、クロック発生器59と、2分周回路84とを具備している。

【0028】前記部分書き替え回路52は、以下に示す如くVRAM51から部分書き替えの画像データを読み出すようになっている。その読み書きタイミングについて図5及び図6を参照して説明する。図5はCRT表示期間中の部分書き替えデータの読み込みタイミングを示す図、図6はCRT非表示期間中の部分書き替えデータの読み込みタイミングを示す図である。部分書き替えの画像データをVRAM51より読み出す動作は、2種類ある。その動作は、部分書き替え回路52が、部分書き替えの画像データをVRAM51より読み出す時のCRTC58の動作状態によって決定される。

【0029】第1の動作は、図5に示すように、CRT表示で有効表示期間中すなわち垂直ブランク（HBLNK）信号がハイ・レベルの時のVRAM51からの読み出しである。この状態の時、CRTC58は、RAS、CAS、TRQE、WE及びアドレス・バスを制御し、HBLNK信号がロー・レベルの時にVRAM51に画面リフレッシュ用の画像データを読み出す。前記画面リフレッシュのタイミングは、図5の「TRCからVRAMへのアクセス」の括弧で示されている。HBLNK信号が、ロー・レベルになったT_a後にVRAM51のシリアル・レジスタへの読み出しサイクルが始まっている。部分書き替えの場合は、前記サイクル完了T_a後にVRAM51内のシリアル・レジスタへ再度読み出しを行っている。この部分書き替え回路52のVRAM読み出しタイミングは、図5の「部分書き替え回路からVRAMへのアクセス」の括弧で示されている。RAS、CAS、TRQE、WE及びアドレス・バスの制御は、前記リフレッシュと同等のタイミングで行われる。ADRMPIX信号は、アドレス・バスの接続をロウ・アドレスとトップ・ポイントで切り換えるタイミング信号である。GI信号は、CRTC58がVRAM51のリフレッシュ動作を行うことをベンチングするための信号である。以上の制御でCRTC58の通常の画面リフレッシュの画像データの代わりに、部分書き替えデータを読み出すことが可能となる。

【0030】第2の動作は、図6に示すように、CRT表示で非表示期間中すなわち垂直ブランク信号がロー・レベルの時である。この状態の時、CRTC58は、VRAM51の画像データの読み出しを行わない。部分書き替えが、この期間にアクティブの場合は、HBLNK信号がロー・レベルになったT_a後にVRAM51内のシリアル・レジスタへの読み出しサイクルが始まっている。部分書き替え回路52のVRAM読み出しタイミン

(6)

待間半5-210085

9

19

セス」の括弧で示されている。RAS、CAS、TRQ、WE及びアドレス・バスのタイミングは、有効表示期間中の部分書き込み用の画像データ読み込み時と同様である。ADRMPIX信号は、アドレス・バスの結線はロー・アドレスとタップ・ポイントで切り換えるタイミング信号である。以上の制御でCRTの場合には、表示を行わない垂直掃線期間にも表示器130へ画像データを供給することを可能としている。

【0031】また、部分書き替え回路52は、部分書き替え時に、図7に示す出力フォーマットで画像データを出力するようになっている。すなわち、表示器130の画素構成は2560×1024であり、その画像データはD0乃至D2559で示される。前記データは、16ビットの走査アドレスA0乃至A15が付加され、16ビット幅の信号線PD0乃至PD15によって表示制御装置50から駆動コントローラ90へ供給される。これらの信号は、FCLK信号に同期して送出される。また、先頭のアドレス・データA0乃至A15の送出に同期してAH/DLのバース信号が、駆動コントローラ90に供給される。この1ラインの画像データの送出タイミングは、CRTのHSYNC信号と同期している。

【0032】次に、前記部分書き替え表示制御部60の作用を、図8の部分書き替えのタイミングを示す図をも参照し、図9の制御フローに従って説明する。

【0033】アクセス・ドライバ検出回路53が、WS1からVRAM51へ更新のあった走査アドレスを検出(図8参照)し、SRAM54の第2のレジスタ54bに記憶する動作が終了したかチェックする(S1)。YESの場合は次にステップS2へ、NOの場合は後述するステップS9へ分岐する。

【0034】ステップS2は、以下の手順で実行される。まずSRAM54は、更新アドレスに1をセットするフラグ・アクセスを行うことにより、同一アドレスのアクセスは、量り込まれて記憶される。パラメータ算出回路55は、2分画回路84のハイ・レベルの期間になるとSRAM54の第2のレジスタ54bに記憶した走査アドレス情報を読み込む。次にパラメータ算出回路55は、前記走査アドレス情報からブロック・ナンバ、スタート・アドレス、エンド・アドレス、ライン・ナンバ及びトータル・ライン・ナンバを算出し、FIFOメモリ56の第2のスタック56bに書き込む。このステップS2では、以上の動作が完了したかチェックを行う。

【0035】前記ステップS2で所定の動作が終了するとMPU57が、前記パラメータ算出回路55の算出したブロック・ナンバをFIFOメモリ56内の第1のスタック56aから読み込む(S3)。次に、MPU57が、前記パラメータ算出回路55の算出したブロック・ナンバをFIFOメモリ56内の第1のスタック56aから読み込む(S4)。そして、MPU57が前記ス

ク57a、57bの両ブロック・ナンバを比較することによりスタック57a、57b内に記憶されたアドレスの数の差を知る(S5)。

【0036】このステップS5の判定がYESの場合は、次のステップS6が実行される。その手順は、まずMPU57がPH/R/L信号線をハイ・レベルにして駆動コントローラ90に書き込みを指示する。続いて駆動コントローラ90は、表示器130の液晶応答速度以下で水平同期信号に同期したタイミングでBUSY信号線をロー・レベルにして、走査線アドレス情報及び画像データを表示制御装置50に要求する。部分書き替え回路52は、部分書き替えの画像データをVRAM51より読み出す。この動作は、CRTC58の動作状態により決定され、CRT表示で有効表示期間中すなわち垂直ブランク信号が、ハイ・レベルの時と、非表示期間中すなわち垂直ブランク信号がロー・レベルの時で異なる。前記垂直ブランク信号は、CRTC58から供給されるCBLNK信号から判断される。CRTC58から供給されたCBLNK信号の垂直ブランク期間がハイ・レベルすなわちCRTの有効表示期間の場合、CRTC58が、CRT表示のため水平ブランク期間にVRAM51から1ライン分の画像データをVRAM51内のシリアル・レジスタへ読み出す。この動作が完了した後、部分書き替え回路52は、トライ・スタート62をディセーブルにし、部分書き替えデータを示すアドレス情報をVRAM51に供給することにより、VRAM51内のシリアル・レジスタに新たに画像データを読み出す。CRTC58から供給されたCBLNK信号の垂直ブランク期間がロー・レベルの場合は、部分書き替え回路52は、CRTC58から供給されるHBLNK信号に基づき水平非表示期間中にトライ・スタート62をディセーブルにし、部分書き替えデータを示すアドレス情報をVRAM51に供給することにより、VRAM51内のシリアル・レジスタに画像データを読み出す。VRAM51内のシリアル・レジスタに読み出された画像データは、MPU57から供給される走査線アドレスを先頭にシリアル・クロック発生器77により8ピクセル(2ビット/ピクセル)づつ読み出され、駆動コントローラ90に供給される。以上の動作でSRAM54内の第1のレジスタ54aで検出されたアドレス情報の内容が、表示器130へ送られる。

【0037】一方、前記ステップS5の判定がNOの場合は、ステップS7が実行される。その手順は、前記ステップS6と同様である。異なるのは、その動作によりSRAM54内の第2のレジスタ54bで検出されたアドレス情報の内容が、表示器130へ送られることである。

【0038】前記SRAM54内のレジスタ54a、54bで検出された全アドレス情報の内容が、表示器13

(7)

特開平5-210085

11

ブS8でNOの場合は、全アドレス情報の内容が表示されるまで前記ステップS5、S6、S8又は前記ステップS5、S7、S8のループを繰り返す。全アドレス情報の内容が、表示器130に表示された後、処理は前記ステップS1に戻る。

【0039】前記ステップS1の条件分岐でチェック結果が、NOの場合すなわち第2のレジスタ54bのサンプルがまだ終了していない場合は、第1のレジスタ54aのサンプルが終了したかチェックを行う(S9)。このステップS9の判定結果がNOの場合は再び前記ステップS1に戻り、YESの場合は次のステップS10の処理を行う。

【0040】このステップS10の処理は、前記ステップS6と同様の手順で実行される。このステップS10の動作によりSRAM54内の第2のレジスタ54bで検出されたアドレス情報の内容が、表示器130へ描画される。

【0041】SRAM54内の第1のレジスタ54aで検出された全アドレス情報の内容が表示器130へ描画されたかチェックされる(S11)。このステップS11でNOの場合は、全アドレス情報の内容が表示されるまで前記ステップS10、S11のループを繰り返す。全アドレス情報の内容が表示器130に表示された後、処理は前記ステップS1に戻る。

【0042】強制リフレッシュの例外処理として駆動コントローラ90からCREF信号がMPU57に供給される。この信号は、表示器130にて部分書き込みが繰り返された場合に、アクセスされない走査ラインのコントラストが上がるため、強制的にマルチ・インターレースで画面リフレッシュを行う信号である(S12)。表示制御装置50は、CREF信号を供給されるとPH/RLをロー・レベルにしCRTの表示タイミングで画像データを駆動コントローラ90へ供給する。このようにして部分書き換え表示制御が行われる。

【0043】このような上記構成の本実施例の表示制御装置50によれば、以下の効果を奏する。

【0044】(a) マルチ・インターレース描画を用いているので、高精細表示におけるフリッカス表示を行うことができる。

【0045】(b) また、高速で移動する描画対象に対しては、画面を部分的にノーインターレースで書き替える部分書き換えの手法により、高次のインターレースによる動画像の表示のばらけを防ぐことができる。

【0046】(c) 従来のCRT表示制御装置が持つ(ビデオ・メモリ)及び画面リフレッシュ機能をそのまま用い、部分書き換え機能を追加することによりWS(ホスト・コンピュータ)1の画像データ書き込み、VRAM51のリフレッシュ、CRTビデオ・データ読み出し及び部分書き換えのビデオ・データ読み出し操作をVRA

12

液晶表示装置3に供給する画像データはCRTの表示タイミングに等しくなり、WS1(ホスト・コンピュータ)から見た本表示制御装置50は、従来のCRT表示制御装置と同一となる。従って、液晶表示装置3のための特別のソフトウェア・ドライバが必要とされず、従来から用いられているCRT表示制御装置のソフトウェア・ドライバをそのまま用いることが可能となる。

【0047】(d) また、従来のCRT表示制御装置の場合は、垂直ブランク期間すなわちビーム帰線期間は描画されないが、垂直ブランク期間も水平ブランク信号に同期してVRAM51から画像データの読み出しを行うようにしているため、液晶表示装置3において円滑な描画を行うことが可能となる。

【0048】なお、本発明は上記実施例に限定されず、その要旨を逸脱しない範囲内で種々に変形実施できる。

【0049】

【発明の効果】以上詳述した請求項1記載の発明によれば、ホスト・コンピュータがノーインターレースで書き替えた部分の画像データ及び同期信号に、その書き替えた部分の表示位置を示すデータを付加し、冷却駆動表示装置への表示と同期したタイミングで液晶表示装置に供給するようにしているため、液晶表示装置の高精細表示での表示速度が、ノーインターレース描画においてフリッカス表示に十分でない場合であっても、表示装置の駆動等の構成を要することなく、高精細でフリッカス表示を行い得る表示制御装置を提供することができる。

【0050】また、請求項2記載の発明によれば、請求項1記載の効果に加え、書き替えた部分の表示位置を示すデータ、画像データ及び同期信号を冷却駆動表示装置の有効表示領域の描画期間及び垂直ブランク期間中に液晶表示装置に供給し得るので、液晶表示装置において円滑な描画を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例の表示制御装置の適用例を示す表示システムの構成図である。

【図2】本発明の一実施例の表示制御装置の概略構成図である。

【図3】本発明の一実施例の表示制御装置の概略構成図である。

【図4】液晶表示装置の構成図である。

【図5】CRT表示期間中の部分書き換えデータの読み込みタイミングを示す図である。

【図6】CRT非火表示期間中の部分書き換えデータの読み込みタイミングを示す図である。

【図7】部分書き換え時の画像データの出力フォーマットを示す図である。

【図8】部分書き換えのタイミングを示す図である。

【図9】部分書き換え表示制御部の制御の流れを示すフローチャートである。

(8)

特開平5-210085

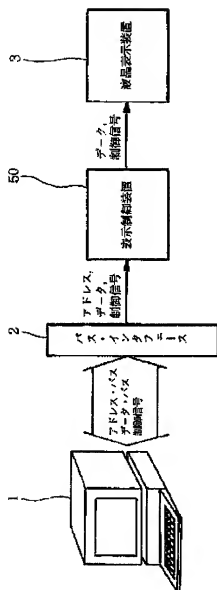
13

14

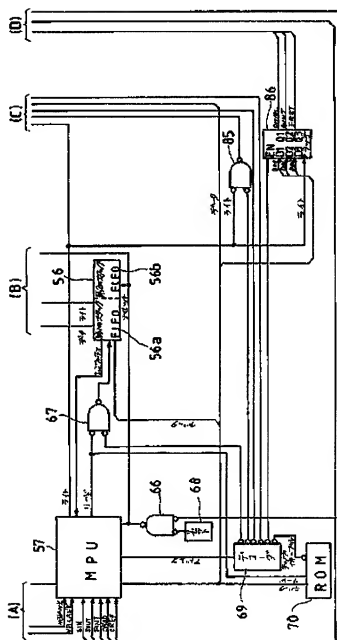
- 1 ワークステーション（ホスト・コンピュータ）
 3 液晶表示装置
 50 表示制御装置

- * 51 VRAM（ビデオ・メモリ）
 52 部分書き換え回路
 * 60 部分書き換え表示制御部

【図1】



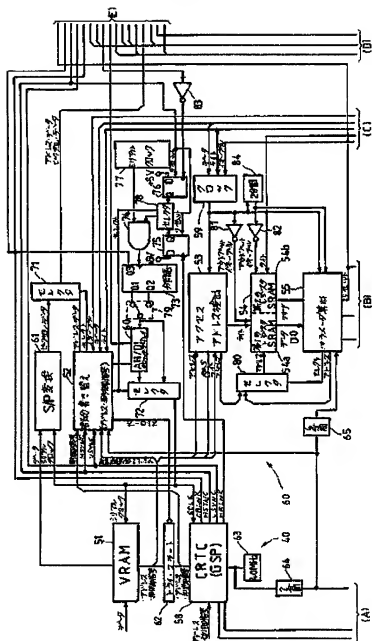
【図3】



(9)

特開平5-210085

【圖2】

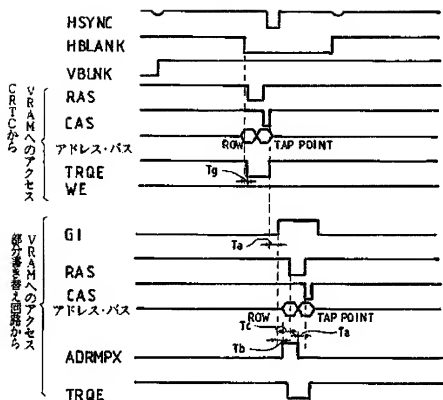


Block diagram of a control system (E). A microcontroller (90) is connected to a power source (100) and a display (110). The microcontroller (90) outputs signals to a CPU (111) and a memory (112). The CPU (111) is connected to the display (110) and a power source (100). The memory (112) is connected to the CPU (111) and a power source (100). The display (110) is connected to the CPU (111) and a power source (100). The CPU (111) is connected to a power source (100) and a power source (100). The memory (112) is connected to the CPU (111) and a power source (100). The display (110) is connected to the CPU (111) and a power source (100).

(11)

特開平5-210085

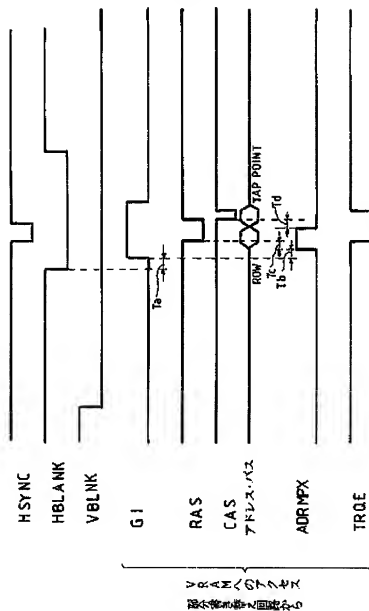
【図5】



(12)

特開平5-210085

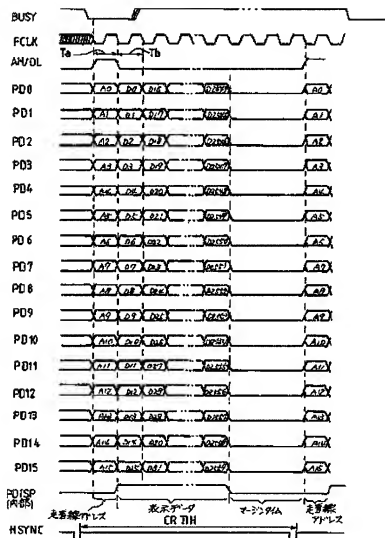
【図6】



(13)

特開平5-210085

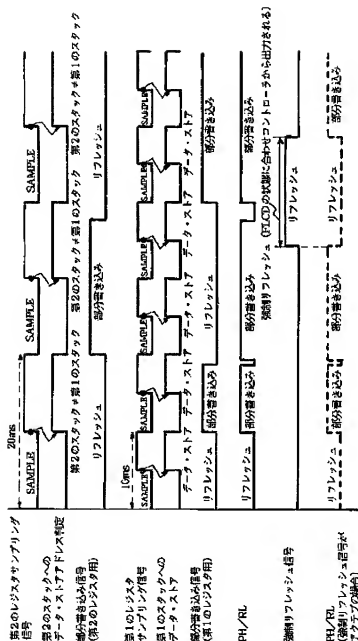
[図7]



(14)

特開平5-210085

【図8】



(15)

特開平5-210085

【図9】

